

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shotaro UCHIDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE  
MANUFACTURED THEREBY



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

*Stover*  
*10-22-01*

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-287385	September 21, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 9月21日

出 願 番 号  
Application Number:

特願2000-287385

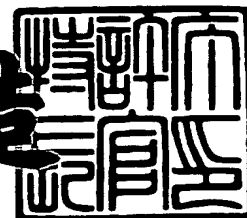
出 願 人  
Applicant(s):

株式会社東芝

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3009273

【書類名】 特許願

【整理番号】 A000005011

【提出日】 平成12年 9月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/48

【発明の名称】 半導体装置の製造方法および半導体装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 内田 正太郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 主電極とこの主電極より面積が小さい副電極を上面に有する半導体チップを、接続材を介して外部リードフレームのダイパッドに搭載する工程と、

前記半導体チップの主電極及び副電極と前記外部リードフレームの対応する外部リードの接続用パッドとの間をそれぞれ接続する内部リードがタイバーにより接続された内部リードフレームを、所定の位置に接続材を介して搭載する工程と

前記接続材を加熱して、前記半導体チップと前記ダイパッドとの間、前記内部リードと前記半導体チップの電極及び前記外部リードの接続パッドとの間を同時に導電的に固着する工程と、

前記タイバーをカットして、前記内部リードフレームを各内部リードに分離する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 リードフレームのダイパッド上に搭載され、主電極とこの主電極より面積が小さい副電極を有する半導体チップと、

前記半導体チップの主電極及び副電極と前記リードフレームの対応する外部リードの接続パッドとの間に接続され、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームと、

を具備することを特徴とする半導体装置。

【請求項 3】 前記タイバーは、前記内部リードフレームの他の部分の厚さよりも薄くされていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記タイバーは、前記外部リードフレームの隣接する外部リードの中央付近に設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記ダイパッドは、前記タイバーに隣接する部分に、このタイバーから距離を設けるように後退した切り欠き部分を有することを特徴とする

請求項 2 に記載の半導体装置。

【請求項 6】 前記内部リードフレームは、タイバー部分が前記半導体チップの上面より高く形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】 外部リードフレームの隣接する第 1 及び第 2 のダイパッド上に搭載され、それぞれが主電極とこの主電極より面積が小さい副電極を有する第 1 及び第 2 の半導体チップと、

前記第 1 及び第 2 の半導体チップのそれぞれの主電極及び副電極と前記外部リードフレームの対応する外部リードとの間に接続された内部リードを有し、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームと、

前記第 1 及び第 2 のダイパッドの対向する辺において、前記第 1 のダイパッドに垂直に形成された突起リード部と、

前記第 2 のダイパッドに搭載された第 2 の半導体チップの主電極に接続される内部リードと一体に形成され、前記突起リード部と嵌合する切り欠き部を有し、前記突起リード部と導電的に連結された連結リード部と、  
を具備することを特徴とする半導体装置。

【請求項 8】 前記突起リード部の上端に、上端面から後退して前記連結リード部を支える平坦部分を有することを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記第 1 及び第 2 の半導体装置は MOSFET のチップであり、前記第 1 の半導体装置は、MOSFET に並列に接続されたショットキーダイオードを内蔵するチップであることを特徴とした請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多ピンを有する半導体装置の製造方法と、それにより得られた半導体装置に関する。

【0002】

## 【従来の技術】

近年携帯型電子機器の普及に伴い、半導体パッケージの小型薄型化、軽量化、高性能化が特に要求されてきている。従来、半導体チップの上部電極は、ワイヤボンディングで外部リードに接続されていた。また、ダイオード等の2端子製品では、半田付けで内部リードを介して外部リードに接続されていた。

## 【0003】

また、パワーMOSFET等の3端子製品では、比較的大電流を取り扱うので半田付けリードが好ましいが、チップ上面に設けられたゲート電極がソース電極に比べて非常に小さいため、内部リードを半田付けしようとしても位置精度が出せない。このため、ゲート電極は単線のボンディングワイヤ、ソース電極は電流容量を確保するため複数のボンディングワイヤを用いて接続していた。

## 【0004】

ゲート電極は細線の接続が可能なワイヤボンディングで、ソース電極は放熱とオン抵抗に有利な内部リードの半田付けでと、それぞれ異なる接続を行う方法もあるが、ゲート電極はワイヤボンディング用の電極（例えばA1）、ソース電極は半田付け用の電極（例えばVN1Au）と、電極の表面処理を変える必要があり、製造設備コストと製造コストの増大を招いていた。

## 【0005】

また、パワーMOSFETは2個直列に接続されて使用される場合が多いが、従来はこの直列接続をプリント基板の配線で行っていた。この方法では、配線による寄生インダクタンスと配線抵抗が生じ、性能の低下を招いていた。

## 【0006】

## 【発明が解決しようとする課題】

本発明は上記の事情を考慮して為されたもので、半導体装置の内部配線において、作業性に優れ、信頼性の高い外部リードへの接続方法を提供するものである。また、上記の製造方法で得られる半導体装置、および2個の半導体チップを上記の接続方法を応用した半導体パッケージ内で直列接続できる構成を提供する。

## 【0007】

## 【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置の製造方法（請求項１）は、主電極とこの主電極より面積が小さい副電極を上面に有する半導体チップを、接続材を介して外部リードフレームのダイパッドに搭載する工程と、前記半導体チップの主電極及び副電極と前記外部リードフレームの対応する外部リードの接続用パッドとの間をそれぞれ接続する内部リードがタイバーにより接続された内部リードフレームを、所定の位置に接続材を介して搭載する工程と、前記接続材を加熱して、前記半導体チップと前記ダイパッドとの間、前記内部リードと前記半導体チップの電極及び前記外部リードの接続パッドとの間を同時に導電的に固着する工程と、前記タイバーをカットして、前記内部リードフレームを各内部リードに分離する工程とを有することを特徴とする。

## 【 0 0 0 8 】

また、本発明の半導体装置（請求項２）は、リードフレームのダイパッド上に搭載され、主電極とこの主電極より面積が小さい副電極を有する半導体チップと、前記半導体チップの主電極及び副電極と前記リードフレームの対応する外部リードの接続パッドとの間に接続され、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームとを具備することを特徴とする。

## 【 0 0 0 9 】

上記の半導体装置は、下記のように構成されることが望ましい。

（１）タイバーは、内部リードフレームの他の部分の厚さよりも薄いこと。

## 【 0 0 1 0 】

（２）タイバーは、外部リードフレームの隣接する外部リードの中央付近に設けられていること。

## 【 0 0 1 1 】

（３）ダイパッドは、タイバーに隣接する部分に、このタイバーから距離を設けるように後退した切り欠き部分を有すること。

## 【 0 0 1 2 】

（４）内部リードフレームは、タイバー部分が半導体チップの上面より高く形成されていること。

## 【 0 0 1 3 】



また、本発明の半導体装置（請求項 7）は、外部リードフレームの隣接する第 1 及び第 2 のダイパッド上に搭載され、それぞれが主電極とこの主電極より面積が小さい副電極を有する第 1 及び第 2 の半導体チップと、前記第 1 及び第 2 の半導体チップのそれぞれの主電極及び副電極と前記外部リードフレームの対応する外部リードとの間に接続された内部リードを有し、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームと、前記第 1 及び第 2 のダイパッドの対向する辺において、前記第 1 のダイパッドに垂直に形成された突起リード部と、前記第 2 のダイパッドに搭載された第 2 の半導体チップの主電極に接続される内部リードと一体に形成され、前記突起リード部と嵌合する切り欠き部を有し、前記突起リード部と導電的に連結する連結リード部とを具備する。

## 【 0 0 1 4 】

上記の半導体装置は、下記のように構成されることが望ましい。

（1）突起リード部の上端に、上端面から後退して連結リード部を支える平坦部分を有すること。

## 【 0 0 1 5 】

（2）第 1 及び第 2 の半導体装置は MOSFET のチップであり、第 1 の半導体装置は、MOSFET に並列に接続されたショットキーダイオードを内蔵するチップであること。

## 【 0 0 1 6 】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

## 【 0 0 1 7 】

## （第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための図で、図 1（a）はリードフレーム上に半導体チップがマウントされ、半導体チップの上面電極とリードフレームの外部リードが内部リードにより接続された状態を示す平面図、図 1（b）は図 1（a）の A-A 線に沿った断面図である。

## 【 0 0 1 8 】

図 1 において、1 はリードフレームにおけるダイパッド、3 はリードフレーム

の外部リード、5は外部リード3と一体に形成された内部リード接続用パッド、7はリードフレームのタイバーであり、よく知られた樹脂封止用リードフレームを構成している。後述の内部リードフレームと区別するために、以後外部リードフレームと称することにする。

#### 【0019】

外部リードフレームのダイパッド1には、半導体チップ9が接続材21aを介してマウントされている。接続材21aとしては半田あるいは導電性接着剤が使用される。半導体チップ9は、例えばMOSFETであり、チップ上面に電極面積の大きいソース電極（主電極）11、電極面積の小さいゲート電極（副電極）13を有し、チップ下面のドレイン電極は前述のようにダイパッド9に接続材を介して接続されている。

#### 【0020】

第1の実施形態の特徴は、ソース電極11とゲート電極13の外部リードフレームへの取り出しリード（内部リード）が、板状金属からなる内部リードフレームで接続されていることである。内部リードフレームはソース電極リード15とゲート電極リード17とから構成されており、さらに両者を結ぶタイバー19を有している。タイバー19は内部リードフレームの取り付け後、カッターなどで切り離される。この切り離しが容易なように、タイバーは隣接する外部リードの間のほぼ中央に位置するように設けられている。

#### 【0021】

また、内部リードフレームは、例えば銅または銅合金の板からプレス加工等により形成され、図1（a）に示すように、チップ上面と外部リード上面のレベルに合わせて折り曲げ加工されている。この時タイバー19を含む部分は、チップ上面より高くなるようにフォーミングされており、これによりタイバーのカットを容易にしている。

#### 【0022】

内部リードフレームは、図2に示すように複数の内部リードのセット（ソース電極リード15とゲート電極リード17のセット）がフレーム23により連結された形態で供給され、チップと外部リードフレームに接続される直前に、吊りピ

ン 2 5 のリード側の根元で切り離されるようになっている。個々の内部リードフレーム（内部リードセット）は、チップの上面電極（ソース電極 1 1 およびゲート電極 1 3）に接続されるチップパッド部 1 5 a、1 7 a と外部リードに接続されるリードパッド部 1 5 b、1 7 b を有する。チップパッド部 1 5 a、1 7 a、リードパッド部 1 5 b、1 7 b は、それぞれ接続材 2 1 b、2 1 c によりチップ電極 1 1、1 3 と外部リード接続パッド 5 に接続される。接続材 2 1 b、2 1 c は半田または導電性接着剤が使用され、ダイマウントに使用される接続材 2 1 a と同じ材料とすることが好ましいが、要求に応じて異なるものを使用してもよい。

#### 【 0 0 2 3 】

次に、図 1 のリード付け構成の製造工程を説明する。まず、リードフレームのダイパッド 1 および内部リードが接続される外部リードの接続パッド 5 に、例えばクリーム状の半田（半田ペースト）をディスペンサーにより適量供給する。ディスペンサ方式の代わりに印刷法を用いてもよい。

#### 【 0 0 2 4 】

次に、半導体チップ 9 をリードフレームのダイパッド 1 1 上に、ダイマウンター等を使用してマウントする。その後、チップのソース電極 1 1、ゲート電極 1 3 の上に半田ペーストをディスペンサ等を使用して適量供給する。ダイマウントに使用される半田ペーストとリード付けに使用される半田ペーストは同じものを使用することができる。

#### 【 0 0 2 5 】

次に、内部リードフレームをフレームに連結された状態からソース電極リード 1 5 とゲート電極リード 1 7 の 1 セット分を切り離して、半導体チップおよび外部リードフレーム上に位置合わせしてマウントする。

#### 【 0 0 2 6 】

内部リード用の半田ペーストの供給は、上記の方法の他に、内部リードフレームのチップパッド部 1 5 a、1 7 a とリードパッド部 1 5 b、1 7 b に半田ペーストを予め印刷しておいて（図 2 の点線部）、半導体チップおよび外部リードフレーム上の所定の位置に合わせしてマウントするようにしてもよい。

## 【 0 0 2 7 】

次に、マウント済みのリードフレームを半田リフロー炉を通して、半田のリフローを実施する。リフロー炉はベルトコンベヤー式の連続炉でもよいし、静止型のリフロー炉でもよい。これにより、ダイマウント用の半田 2 1 a、内部リード用の半田 2 1 b、2 1 c が同時にリフローされる。

## 【 0 0 2 8 】

上記は半田リフローの場合であるが、導電性接着剤を使用した場合でも、ディスペンサや印刷法による供給が可能であり、リフローと同様の加熱工程（熱処理）により、固着させることができる。

## 【 0 0 2 9 】

次に、内部リードフレームのタイバー 1 9 をカッターでカットして、ソース電極リード 1 5 とゲート電極リード 1 7 を分離する。内部リードフレームのタイバー 1 9 は半導体チップ 1 9 の上面より高くなっているため、チップに接触しないようにカッターをタイバー 1 9 に当てるのは容易である。

## 【 0 0 3 0 】

その後は、よく知られた樹脂モールド工程にリードフレームを供し、モールド後外部リード 3 のタイバー 7 をカットすることにより、封止済みの半導体装置が完成する。

## 【 0 0 3 1 】

本発明の内部リードフレームは、支持点が 4 点あるため、マウント時に安定し、かつ位置精度を向上させることができる。従来方法では、チップのダイマウント後、ワイヤボンディングが必要であったが、本発明ではチップのダイマウント後、内部リードフレームのマウントを行い、チップおよび内部リードフレームの半田リフローを同時に行えばよいので、工程を短縮することができる。また、高価な金線を使用しないのでコストダウンが可能である。

## 【 0 0 3 2 】

## （第 2 の実施形態）

第 2 の実施形態は、基本的には第 1 の実施形態と同じであるが、ダイパッドの形状が第 1 の実施形態と異なる。

## 【 0 0 3 3 】

図 3 は、本発明の第 2 の実施形態に係る半導体装置の内部接続状態を示す平面図である。第 1 の実施形態と同一部分には同一番号を付して重複する説明を省略する。以後の実施形態においても同様とする。

## 【 0 0 3 4 】

第 2 の実施形態の特徴は、図 3 に示すように、ダイパッド 1 a のタイバー 1 9 に近い部分が切り込み 2 6 により後退しており、タイバーカットが容易なようにされていることである。

## 【 0 0 3 5 】

## (第 3 の実施形態)

図 4 は、本発明の第 2 の実施形態に係る内部リードの平面図およびタイバー 1 9 a の部分 (B 部) の B - B 線に沿った拡大断面図である。第 2 の実施形態では、図 4 (b) に示すように、タイバー 1 9 a のカット部 2 7 の厚さを内部リードの厚さ (例えば 0. 3 mm) よりも薄くし (例えば 0. 1 5 mm)、カットが容易なようにしている。

## 【 0 0 3 6 】

## (第 4 の実施形態)

第 4 の実施形態は、内部リードフレームをさらに変形した例である。図 5 は、本発明の第 4 の実施形態に係る内部リードの平面図であり、タイバー部分は 2 本のタイバー 1 9 b、1 9 b' で構成されている。これにより、タイバー部分の剛性を高めており、ソース電極リード 1 5 とゲート電極リード 1 7 の捻れ等の相対的な変形を防止できる。

## 【 0 0 3 7 】

なお、タイバー 1 9 b、1 9 b' に対し、図 4 (b) のように部分的に薄い場所を設けて、カットが容易なようにしてもよい。

## 【 0 0 3 8 】

## (第 5 の実施形態)

第 5 の実施形態は、内部リードフレームをさらに変形した例である。図 6 は、本発明の第 5 の実施形態に係る内部リードの平面図であり、タイバー部分が 2 本

のタイバー 19 c、19 c' で構成されている。第 4 の実施例と異なる点は、1 本のタイバー 19 c は外部リードフレームの内部リード接続用パッド 5 付近に設けられていることである。第 4 の実施形態同様に内部リードフレームの剛性を高めることができる。また、タイバー 19 c、19 c' に対し、図 4 (b) のように部分的に薄い場所を設けて、カットが容易なようにしてもよい。

【0039】

(第 6 の実施形態)

図 7 (a) は本発明の第 6 の実施形態に係る半導体装置のリード接続方法を示す平面図で、その C-C 線に沿った断面図を図 7 (b) に示す。本実施形態では 2 個の半導体チップが隣接してリードフレームにマウントされ、内部リード接続が行われた後、1 パッケージとしてモールドされる。なお、A-A 線に沿った断面図は、図 1 (b) と同様になる。また、図 1 (b) の D-D 線に沿った断面図を図 8 に示す。

【0040】

図 7 に示された 2 つの半導体チップ 11<sub>1</sub>、11<sub>2</sub> はダイマウントされた後、第 1 ～第 5 の実施形態で説明した内部リードフレームを用いる接続方法で、夫々外部リードフレームに接続されるが、図の右側に示す第 1 の内部リードフレームの形状と、図の左側に示す第 2 の内部リードフレームの形状が異なる。第 1 の内部リードフレームは第 1 の実施形態の内部リードフレームが例示されているが、第 3 若しくは第 4 の実施形態の内部リードフレームを用いてもよい。

【0041】

また、図の左側に示す第 2 のダイパッド 12 と、図の右側に示す第 1 のダイパッド 11 の形状が異なる。第 2 のダイパッド 12 は第 1 の実施形態のダイパッドが例示されているが、第 2 の実施形態のダイパッドを用いてもよい。

【0042】

第 1 のダイパッド 11 は、第 2 のダイパッド 12 に隣接する部分の 1 部がダイパッドのほぼ辺の中央まで切り込まれ、直立するように加工されている。この直立部分が突起リード部 33 となる。

【0043】

一方左側の第2の内部リードフレームのソース電極（主電極）リードの一部は第1のチップ方向に延在する連結リード部29を有し、その先端に設けられた切り込み部31に、第1のチップが搭載されるダイパッドの突起リード部33が嵌合している。このとき、突起リード部33の上端面より後退した位置に、第2のチップの内部リードの連結リード部29を支える段差（平坦部）35を設けておく。このようにすることにより、第2の内部リードフレームを安定に保持することが可能になる。第2の内部リードフレームの連結リード部29と第1のダイパッドの突起リード部33との嵌合部は、半田21dにより接合される。

## 【0044】

次に、第6の実施形態の半導体装置の製造工程を説明する。まず、リードフレームのダイパッド1<sub>1</sub> および1<sub>2</sub>、内部リードが接続される外部リードのパッド5に、例えば半田ペーストをディスペンサーにより適量供給する。ディスペンサ方式の代わりに印刷法を用いてもよい。

## 【0045】

次に、半導体チップ9<sub>1</sub>、9<sub>2</sub>をリードフレームのダイパッド1<sub>1</sub>、1<sub>2</sub>上に、ダイマウンター等を使用してそれぞれマウントする。その後、チップのソース電極11<sub>1</sub>、11<sub>2</sub> ゲート電極13<sub>1</sub>、13<sub>2</sub> の上に半田ペーストをディスペンサ等を使用して適量供給する。ダイマウントに使用される半田ペーストとリード付けに使用される半田ペーストは同じものを使用することができる。

## 【0046】

次に、内部リードフレームをフレームに連結された状態から、第1のチップ用のソース電極リード15<sub>1</sub> とゲート電極リード17<sub>1</sub> の1セット分を切り離して、半導体チップの電極および外部リードフレームの接続パッド上に位置合わせしてマウントする。続いて、第2のチップ用のソース電極リード15<sub>2</sub> とゲート電極リード17<sub>2</sub> の1セット分を切り離して、半導体チップおよび外部リードフレーム上に位置合わせしてマウントする。このとき、第2の内部リードフレームの連結リード部37の切り欠き部31は、第1の内部リードフレームの突起リード部33と嵌合し、突起リード部33に設けられた段差35に載置されるようにする。さらに、連結リード部29と突起リード部33の嵌合部に半田ペースト21

d をディスペンサにより供給する。

【 0 0 4 7 】

次に、チップおよび内部リードフレームをマウント済みの外部リードフレームを半田リフロー炉に通して、半田のリフローを実施する。リフロー炉はベルトコンベヤー式の連続炉でもよいし、静止型のリフロー炉でもよい。これにより、ダイマウント用の半田 2 1 a、内部リード用の半田 2 1 b、2 1 c、連結部用の半田 2 1 d が同時にリフローされる。

【 0 0 4 8 】

その後は、第 1 の実施例と同様な工程を経ることにより、封止済みの半導体装置が完成する。上記の実施形態では接続材に半田ペーストを使用した。導電性接着剤を使用できることは言うまでもない。

【 0 0 4 9 】

連結リード部 2 9 の第 1 のダイパッド 1<sub>1</sub> への接続方法として、連結リード部 2 9 の先端を下方にフォーミングして、第 1 のダイパッド 1<sub>1</sub> へ直接半田付けすることも考えられるが、この接続のための半田がチップのマウント用の半田と融合し、マウント半田の厚み、チップの平行度に悪影響を及ぼすおそれがある。これに対し、本発明では突起リード部 3 3 を用いて半田付け部をチップより遠ざけているので、上記のような悪影響の心配がない。

【 0 0 5 0 】

第 6 の実施形態のパッケージは、図 9 に示すような同期整流回路の 1 部に適用すると効果的である。図 9 において、Q 1 はパワー MOS F E T でトランジスタ記号に並列に書かれたダイオードは寄生ダイオードである。Q 1 に直列に接続された Q 2 は、同一チップ内に寄生ダイオード以外にショットキーバリアダイオード S B D が並列接続されたパワー MOS F E T である。Q 1 のソース S 1 と Q 2 のドレイン D 2 の接続ノードにはインダクター L とキャパシタ C の直列回路が負荷として接続されている。ショットキーバリアダイオード S B D は、Q 1 のトランジスタがオフ時の電流路用に設けられている。

【 0 0 5 1 】

上記の回路の Q 2 を第 1 の半導体チップ、Q 1 を第 2 の半導体チップとして、



第 6 の実施形態のパッケージに適用すれば、同期整流回路の 1 部を 1 パッケージ化した半導体装置を実現できる。このように半導体装置回路を 1 パッケージ化すれば、配線基板で配線した場合に比べて、寄生インダクタンスと配線抵抗を減らすことができ、素子性能と実装効率を向上させることができる。

【 0 0 5 2 】

以上、本発明を実施形態に基づき説明したが、本発明は上記実施形態に限られるものではなく、種々の変形が可能である。例えば、第 6 の実施形態では 2 チップの場合を説明したが、3 チップ以上のマルチチップに適用することができる。

【 0 0 5 3 】

【発明の効果】

以上述べたように、本発明によれば、内部リードフレームを用いることにより、ダイマウントの半田付け工程と同時に、ゲート電極のような小電極にも内部リードの半田付けを行うことが可能になり、工程が簡略化される。高価な金線を使用するワイヤボンディング工程が不用になり、設備も簡略化される。

【 0 0 5 4 】

また、本発明を 2 チップ以上をモールドするマルチチップパッケージに応用すれば、プリント配線基板による寄生インダクタンスと配線抵抗が減少し、素子性能を向上させることができ、プリント基板の実装面積を減少させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置の内部接続方法を説明するための平面図および A - A 線に沿った断面図。

【図 2】

本発明の内部リードフレームの平面図。

【図 3】

本発明の第 2 の実施形態に係る半導体装置の平面図。

【図 4】

本発明の第 3 の実施形態に係る半導体装置の内部リードフレームの平面図およ

び B - B 線に沿った断面図。

【図 5】

本発明の第 4 の実施形態に係る半導体装置の内部リードフレームの平面図。

【図 6】

本発明の第 5 の実施形態に係る半導体装置の内部リードフレームの平面図。

【図 7】

本発明の第 6 の実施形態に係る半導体装置の内部接続方法を説明するための平面図および C - C 線に沿った断面図。

【図 8】

図 7 の D - D 線に沿った断面図。

【図 9】

第 6 の実施形態の応用に適した同期整流回路の回路図。

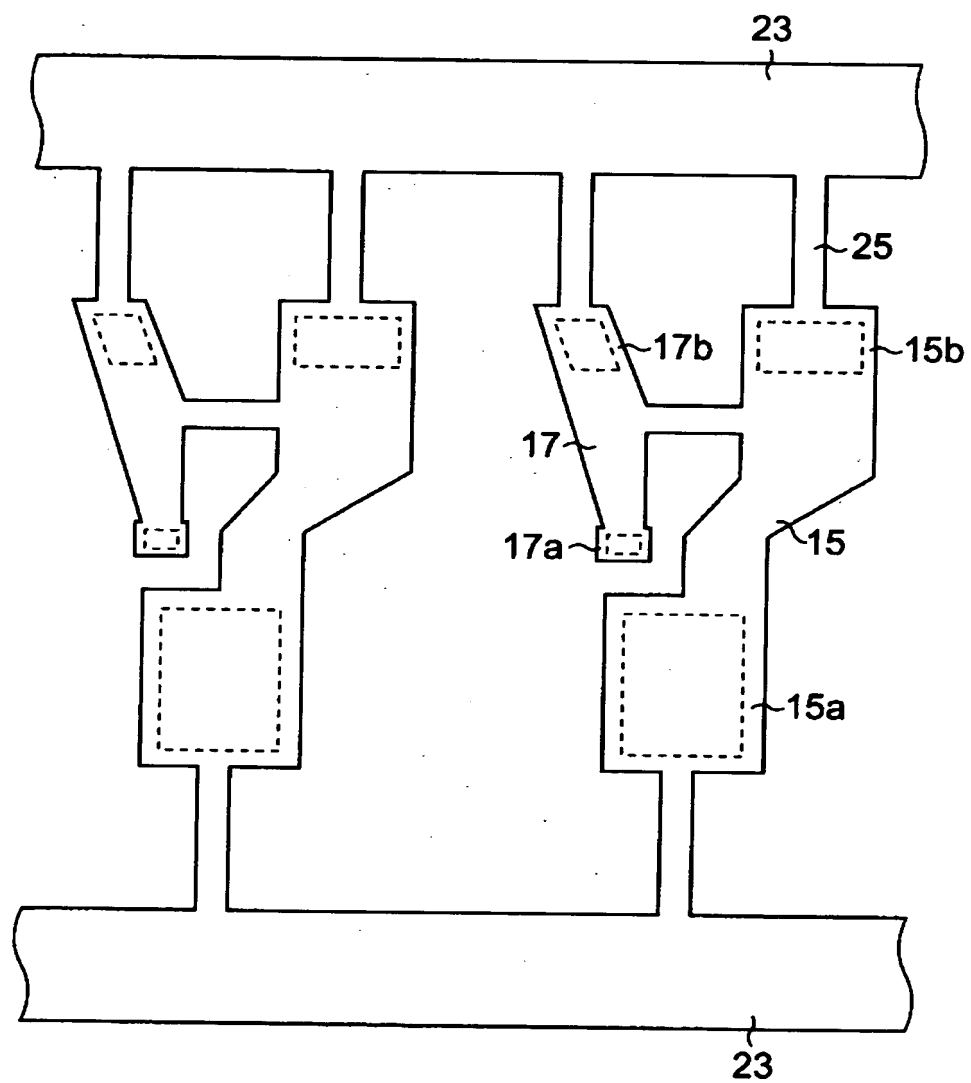
【符号の説明】

- 1, 1 a ... ダイパッド
- 3 ... 外部リード
- 5 ... 内部リード接続用パッド
- 7 ... (外部リードフレーム用) タイバー
- 9 ... 半導体チップ
- 1 1 ... ソース電極 (主電極)
- 1 3 ... ゲート電極 (副電極)
- 1 5 ... ソース電極リード
- 1 5 a、1 5 b ... ソース電極リード接続部
- 1 7 ... ゲート電極リード
- 1 7 a、1 7 b ... ゲート電極リード接続部
- 1 9、1 9 a、1 9 b、1 9 b'、1 9 c、1 9 c' ... (内部リードフレーム用) タイバー
- 2 1 a、2 1 b、2 1 c、2 1 d ... 半田 (接続材)
- 2 3 ... 内部リードフレーム用フレーム
- 2 5 ... 吊りピン

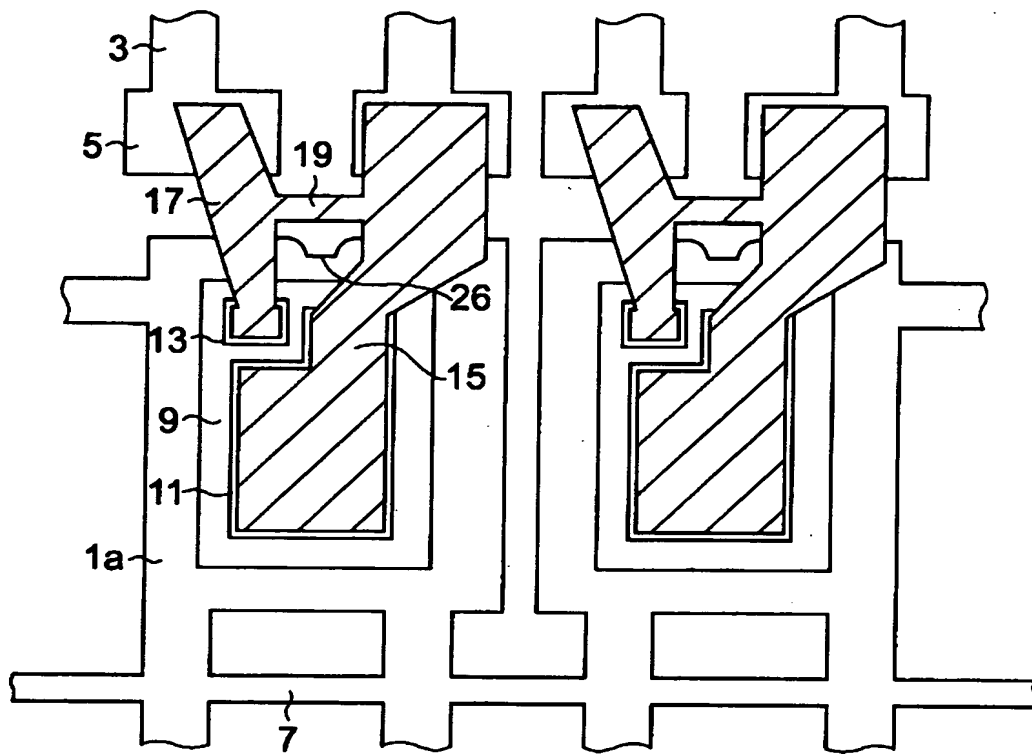
- 26 ... ダイパッド切り込み（後退部）
- 27 ... タイバー薄肉箇所
- 29 ... 連結リード部
- 31 ... 切り欠き部
- 33 ... 突起リード部
- 35 ... 段差
- Q1, Q2 ... パワーMOSFET
- SBD ... ショットキーバリアダイオード
- L ... インダクター
- C ... キャパシタ



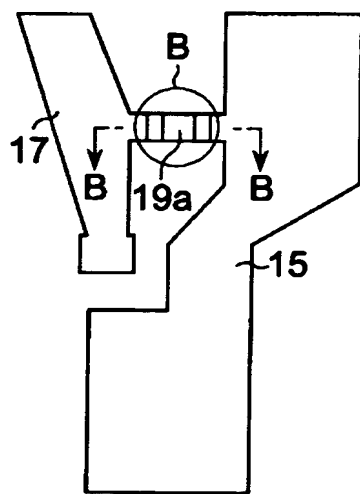
【図2】



【図3】

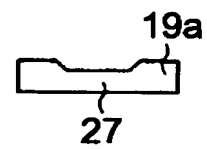


【図4】



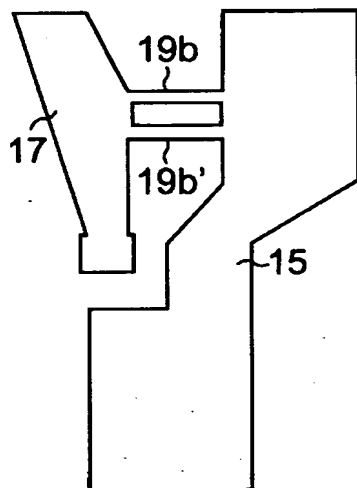
(a)

B部拡大断面

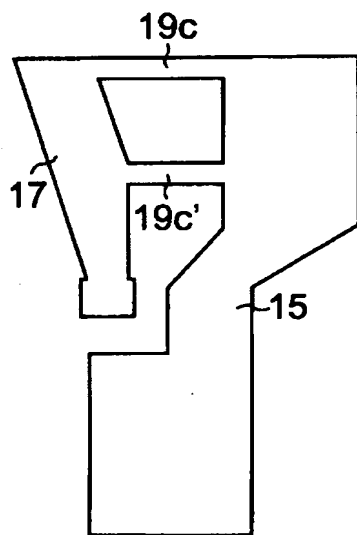


(b)

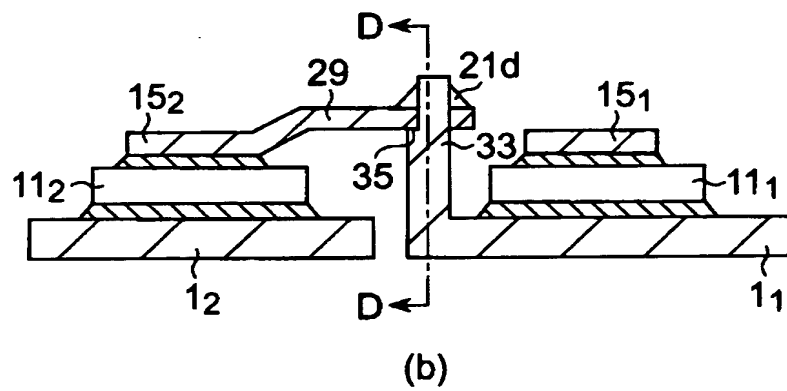
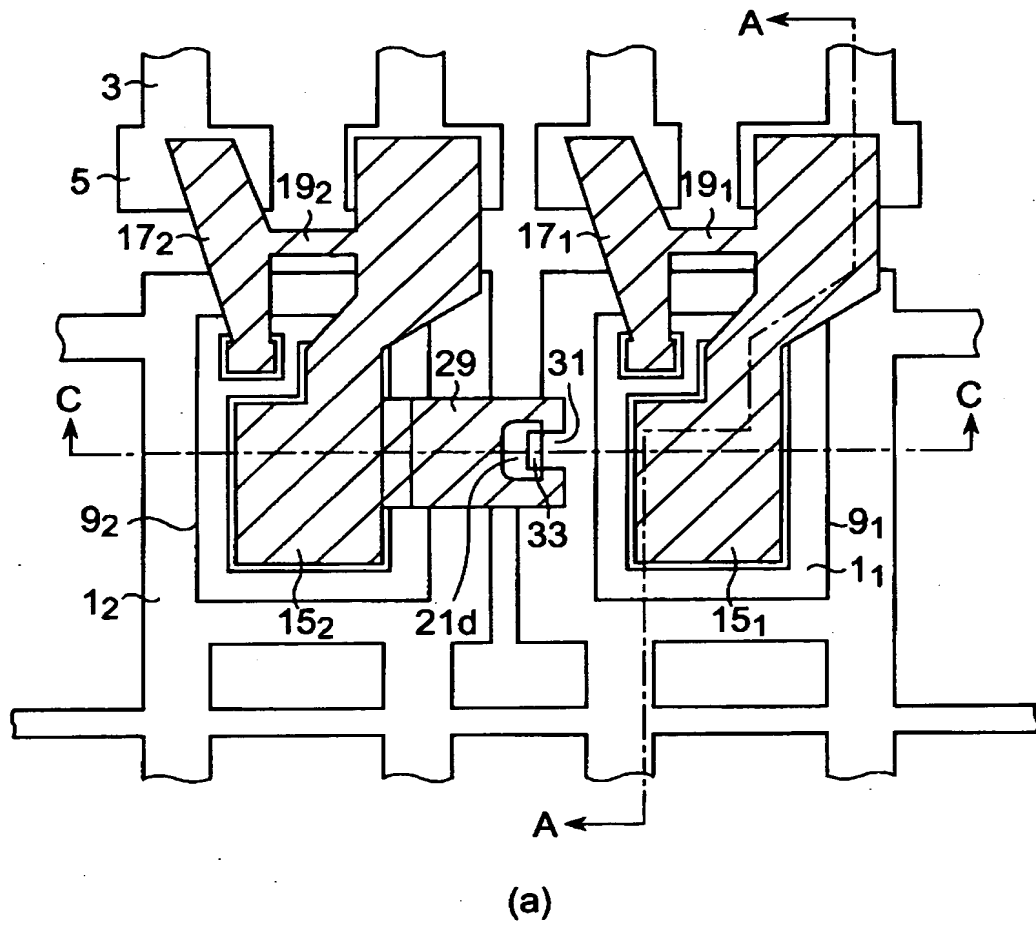
【図 5】



【図 6】

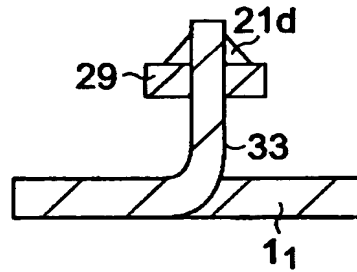


【図 7】

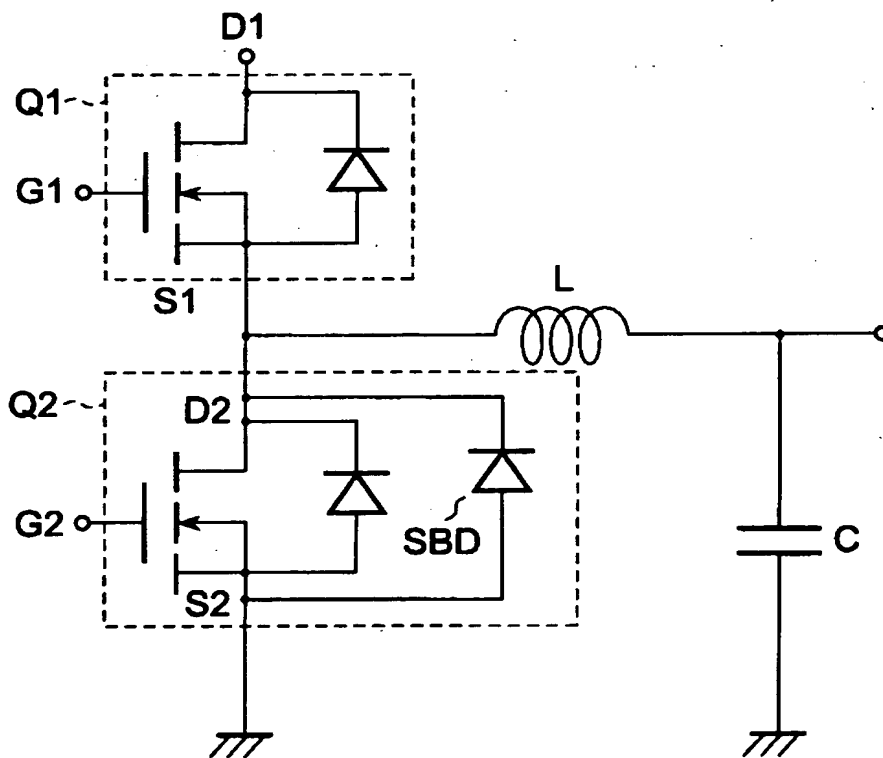




【図 8】



【図 9】



【書類名】                      要約書

【要約】

【課題】 パワー素子用多ピンパッケージの内部接続の簡略化された構成および製造方法を提供する。

【解決手段】 主電極とこの主電極より面積が小さい副電極を有する半導体チップを、接続材を介してリードフレームのダイパッドに搭載し、半導体チップの主電極及び副電極とリードフレームの対応する外部リードとの間に、それぞれの内部リードがタイバーにより接続された内部リードフレームを接続材を介して搭載し、接続材を加熱して半導体チップとダイパッドとの間、内部リードと半導体チップ及び外部リードとの間を導電的に同時に固着し、その後タイバーをカットして、内部リードフレームを各内部リードに分離する。

【選択図】              図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝